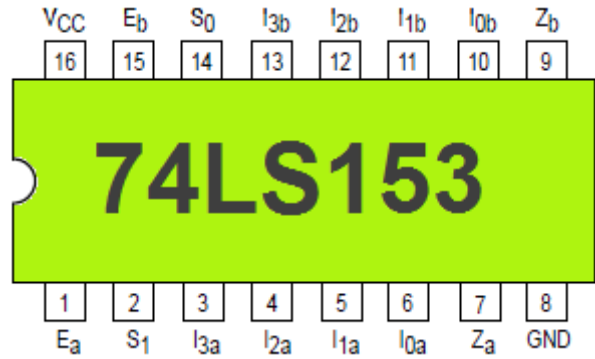
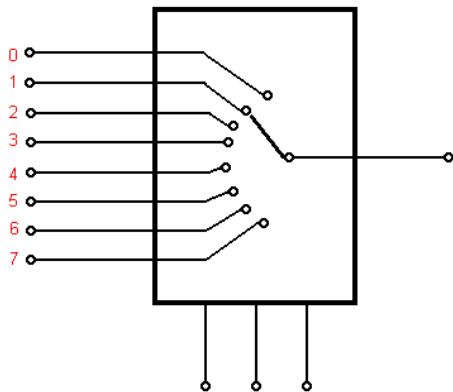




A2. ANALYSER LE SYSTÈME

Systemes logiques évènementiels

MULTIPLEXAGE ET DÉMULTIPLEXAGE



Objectifs du COURS :

Ce cours traitera essentiellement les points suivants :

- principe du multiplexage
 - multiplexeur de mots d'entrée (SN74LS153)
- principe du demultiplexage
- exercices d'application

PRINCIPE DU MULTIPLEXAGE

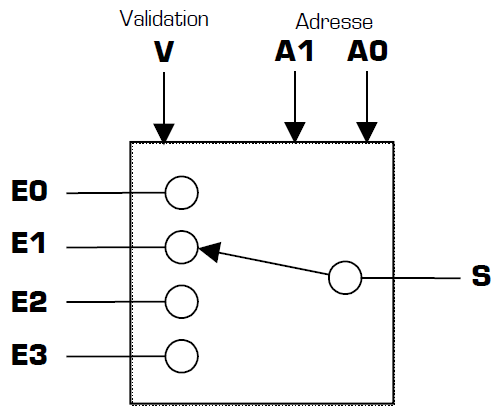
Un multiplexeur (MUX) est généralement un organe constitué d'un ou plusieurs circuits qui reçoit N entrées et transmet par sa sortie une de ses entrées au choix. Pour sélectionner cette entrée le multiplexeur reçoit une adresse codée. On pourra de plus trouver une ou plusieurs entrées de validation.

Exemple :

Multiplexeur à 4 entrées, aussi appelé multiplexeur 4 vers 1.

Ce multiplexeur dispose de :

- 4 entrées de donnée **E0**, **E1**, **E2** et **E3**
- 2 entrées d'adresse **A0** et **A1**
- 1 sortie **S**
- 1 entrée de validation **V**





MULTIPLEXAGE ET DÉMULTIPLEXAGE

Le multiplexage consiste à envoyer sur une même ligne de transmission des informations provenant de sources différentes.

- S=E0 si A0=0 et A1=0 et V=1
- S=E1 si A0=1 et A1=0 et V=1
- S=E2 si A0=0 et A1=1 et V=1
- S=E3 si A0=1 et A1=1 et V=1

Table de fonctionnement :

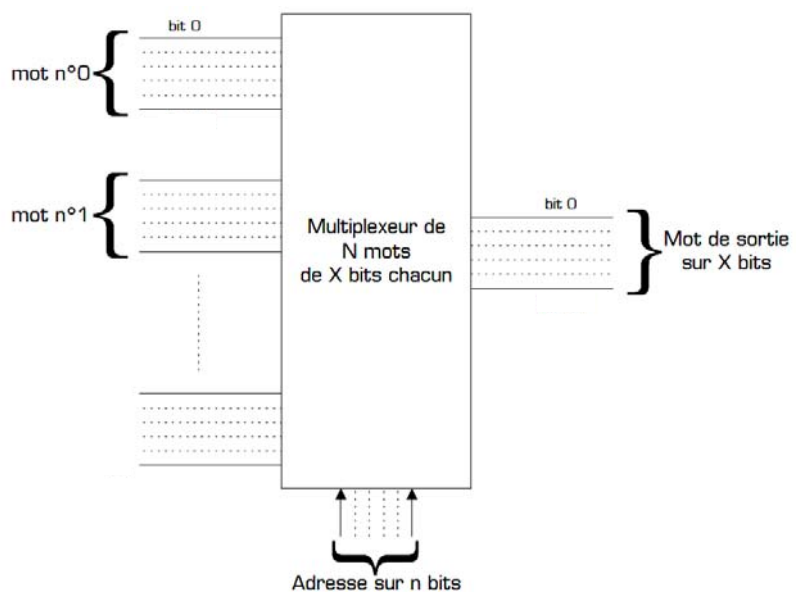
	V	A1	A0	S
	1	0	0	E0
	1	0	1	E1
	1	1	0	E2
	1	1	1	E3
MUX non validé	0	X	X	0

Équation de S :

$$S = V \cdot \overline{A1} \cdot \overline{A0} \cdot E0 + V \cdot \overline{A1} \cdot A0 \cdot E1 + V \cdot A1 \cdot \overline{A0} \cdot E2 + V \cdot A1 \cdot A0 \cdot E3$$

MULTIPLEXEUR DE MOTS D'ENTRÉE

Un multiplexeur de mot travaille simultanément sur plusieurs bits. Il peut donc être considéré comme un ensemble de multiplexeurs fonctionnant simultanément avec la même adresse. Ce type de multiplexeur accepte N groupes d'entrées (ou mots) de X bits chacun. En sortie on dispose du mot (1 parmi les N) qui est sélectionné grâce à l'adresse.





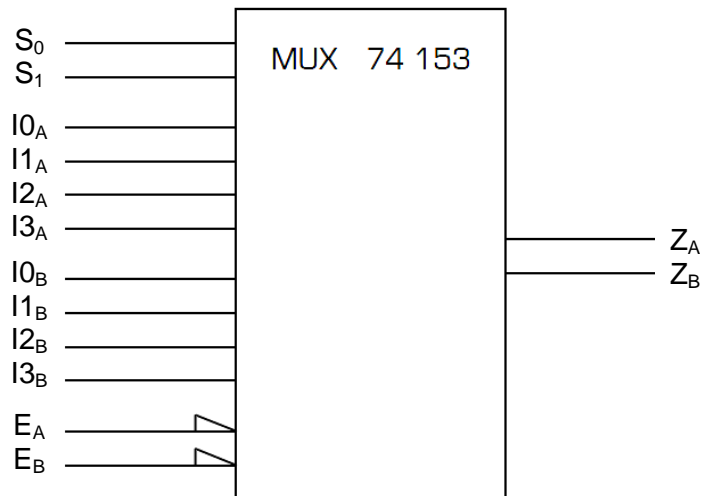
MULTIPLEXAGE ET DÉMULTIPLEXAGE

Exemple :

Multiplexeur de 4 mots de 2 bits chacun
(CI : SN74LS153)

Ce multiplexeur dispose de :

- 4 mots en entrée I₀, I₁, I₂ et I₃, composé chacun de 2 bits
- 2 entrées d'adresse S₀ et S₁
- 2 entrées de validation E_A et E_B
- 2 sorties Z_A et Z_B sur lesquelles se retrouve le mot de 2 bits sélectionné



Le fonctionnement en multiplexeur n'a lieu que si les signaux de validation E_A et E_B sont tous les deux à l'état logique 0.

Table de fonctionnement du multiplexeur SN74LS153:

Entrées												Sorties	
Adresse		Valid.	Données poids faible				Valid.	Données poids fort				LSB	MSB
S ₀	S ₁	E _A	I _{0A}	I _{1A}	I _{2A}	I _{3A}	E _B	I _{0B}	I _{1B}	I _{2B}	I _{3B}	Z _A	Z _B
X	X	1	X	X	X	X	X	X	X	X	X	0	0
X	X	X	X	X	X	X	1	X	X	X	X	0	0
0	0	0	0	X	X	X	0	0	X	X	X	0	0
0	0	0	1	X	X	X	0	1	X	X	X	1	1
1	0	0	X	0	X	X	0	X	0	X	X	0	0
1	0	0	X	1	X	X	0	X	1	X	X	1	1
0	1	0	X	X	0	X	0	X	X	0	X	0	0
0	1	0	X	X	1	X	0	X	X	1	X	1	1
1	1	0	X	X	X	0	0	X	X	X	0	0	0
1	1	0	X	X	X	1	0	X	X	X	1	1	1



MULTIPLEXAGE ET DÉMULTIPLEXAGE

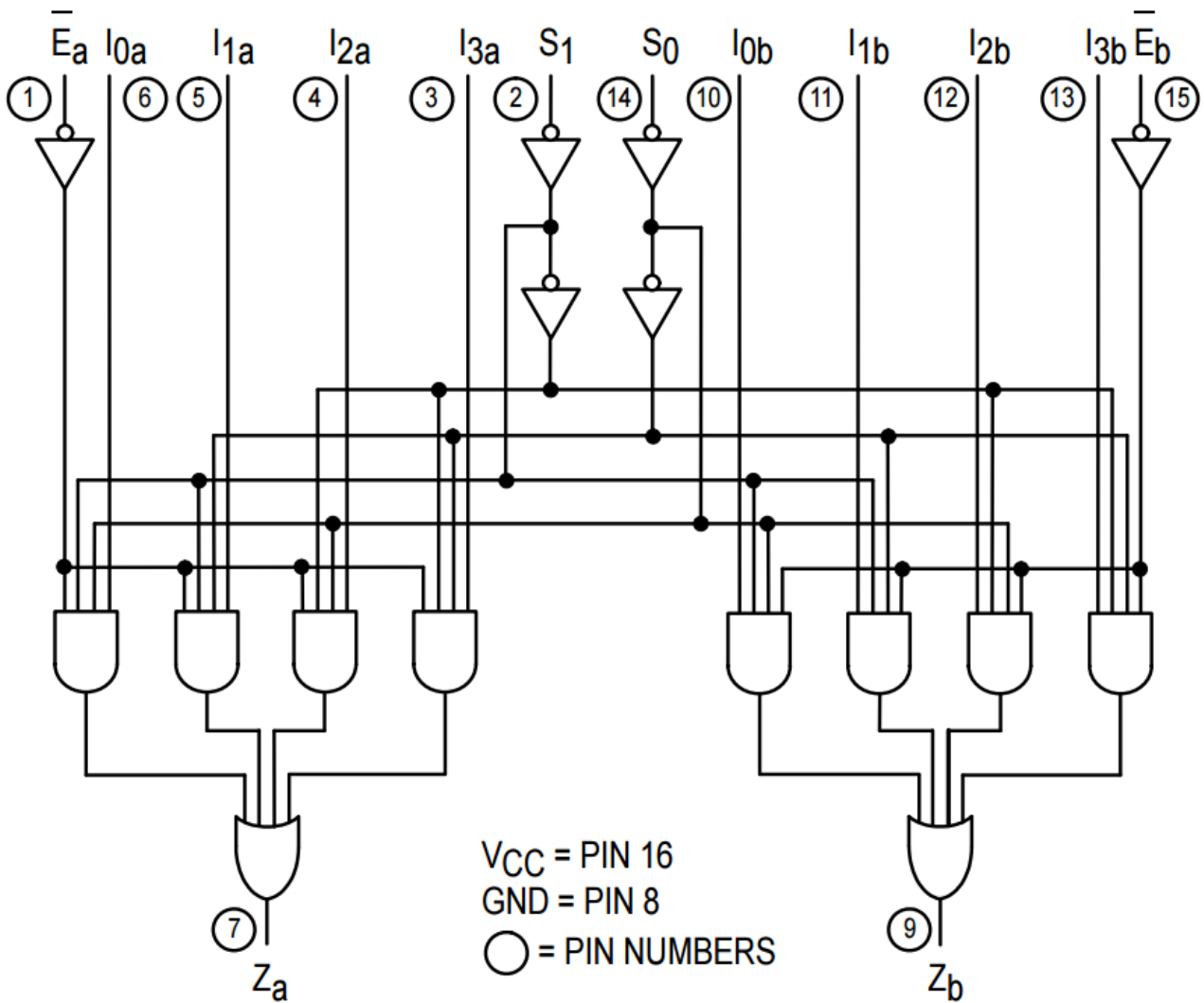
Question :

Représenter ci-dessous le logigramme hétérogène (norme américaine) correspondant à la table de fonctionnement du MUX SN74LS153.

Équations des sorties :

$$Z_A = \overline{E_A} \cdot (I_{0A} \cdot \overline{S_1} \cdot \overline{S_0} + I_{1A} \cdot \overline{S_1} \cdot S_0 + I_{2A} \cdot S_1 \cdot \overline{S_0} + I_{3A} \cdot S_1 \cdot S_0)$$

$$Z_B = \overline{E_B} \cdot (I_{0B} \cdot \overline{S_1} \cdot \overline{S_0} + I_{1B} \cdot \overline{S_1} \cdot S_0 + I_{2B} \cdot S_1 \cdot \overline{S_0} + I_{3B} \cdot S_1 \cdot S_0)$$





MULTIPLEXAGE ET DÉMULTIPLEXAGE

PRINCIPE DU DÉMULTIPLEXAGE

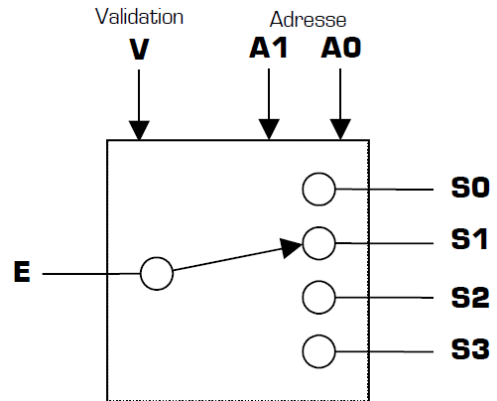
Il n'y a qu'une seule entrée dont la valeur est dirigée vers une sortie parmi les N sorties du démultiplexeur (DMUX). Une adresse codée permet de déterminer vers quelle sortie sera dirigée la donnée présente sur l'entrée. On pourra de plus trouver une ou plusieurs entrées de validation.

Exemple :

Démultiplexeur à 4 sorties, aussi appelé démultiplexeur 1 vers 4.

Ce démultiplexeur dispose de :

- 1 entrée de donnée **E**
- 4 sorties **S0, S1, S2** et **S3**
- 2 entrées d'adresse **A0** et **A1**
- 1 entrée de validation **V**



Le démultiplexage consiste à répartir sur plusieurs lignes des informations qui arrivent en série sur une même ligne.

- $S0 = E$ si $A0 = 0$ et $A1 = 0$ et $V = 1$
- $S1 = E$ si $A0 = 1$ et $A1 = 0$ et $V = 1$
- $S2 = E$ si $A0 = 0$ et $A1 = 1$ et $V = 1$
- $S3 = E$ si $A0 = 1$ et $A1 = 1$ et $V = 1$

Table de fonctionnement :

	V	A1	A0	S0	S1	S2	S3
	1	0	0	E	0	0	0
	1	0	1	0	E	0	0
	1	1	0	0	0	E	0
	1	1	1	0	0	0	E
DMUX non validé	0	X	X	0	0	0	0

Équations des sorties :

$$S0 = V \cdot \overline{A1} \cdot \overline{A0} \cdot E ; S1 = V \cdot \overline{A1} \cdot A0 \cdot E ; S2 = V \cdot A1 \cdot \overline{A0} \cdot E ; S3 = V \cdot A1 \cdot A0 \cdot E$$